



ОБЕСПЕЧЕНИЕ КАЧЕСТВА И НАДЕЖНОСТИ ВЫПУСКАЕМЫХ ИЗДЕЛИЙ. ТЕХНОЛОГИЧЕСКИЕ ДЕФЕКТЫ ПЕЧАТНЫХ УЗЛОВ, СВЯЗАННЫЕ С КОРОБЛЕНИЕМ ПЕЧАТНЫХ ПЛАТ И ПОДЛОЖЕК ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Станислав Гафт
lines@ostec-group.ru

Помню, в раннем детстве я упал в глубокую грязную яму, но как я оттуда выбрался, об этом у меня не осталось ни следа воспоминания. Так что если бы мы полагались только на память, то пришлось бы считать, что я всё ещё там пребываю.

Джером К. Джером

Обсуждая с технологами предприятий радиоэлектронного комплекса причины неудовлетворительного качества печатных узлов, автор нередко сталкивается с мнением: “Мы получаем печатные платы с высоким уровнем коробления, поэтому при сборке печатных узлов возникает масса проблем: платы плохо двигаются по конвейерам, а иногда и “выпрыгивают” из зажимов, паста наносится неравномерно, компоненты устанавливаются неровно и “сползают” при оплавлении”. Эта статья посвящена обсуждению технологических дефектов, связанных с короблением печатных плат и подложек интегральных микросхем, современным методам их диагностики, локализации и предупреждения.

Коробление печатных узлов в процессе производства – проблема не новая и возникла не вчера. Дефекты, связанные с короблением (рис. 1), уже давно серьезно беспокоят передовую технологическую общественность во всем мире, являясь мощным раздражителем для производителей современных печатных узлов с высокой плотностью монтажа.

С диагностикой и локализацией дефектов указанного типа успешно справляются современные системы рентгеновского контроля (рис. 2). Но вопрос состоит в том, что проведение ремонта печатных узлов требует дополнительных затрат, специального оборудования и квалифицированного персонала. Кроме того, существует вероят-

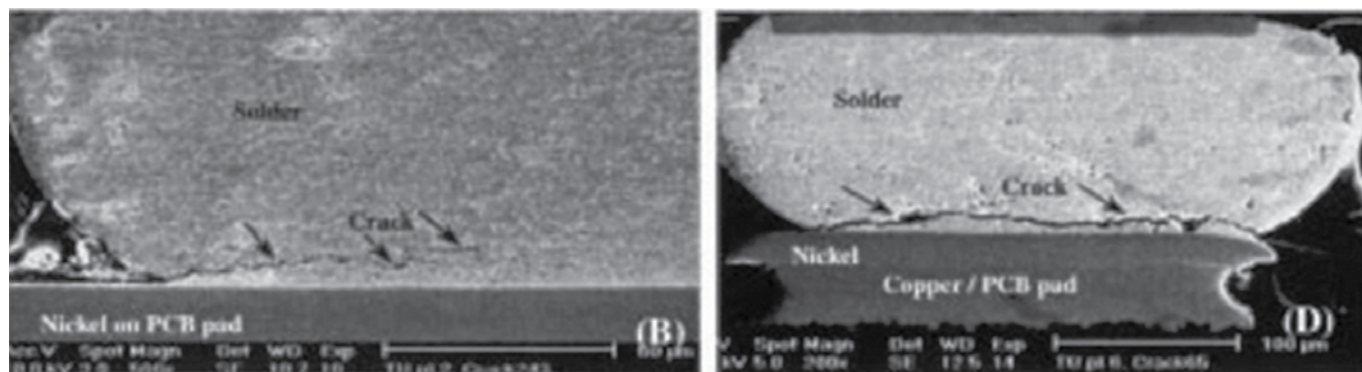


Рис. 1 Механизм образования микротрещин между шариковым выводом и контактной площадкой печатной платы при короблении

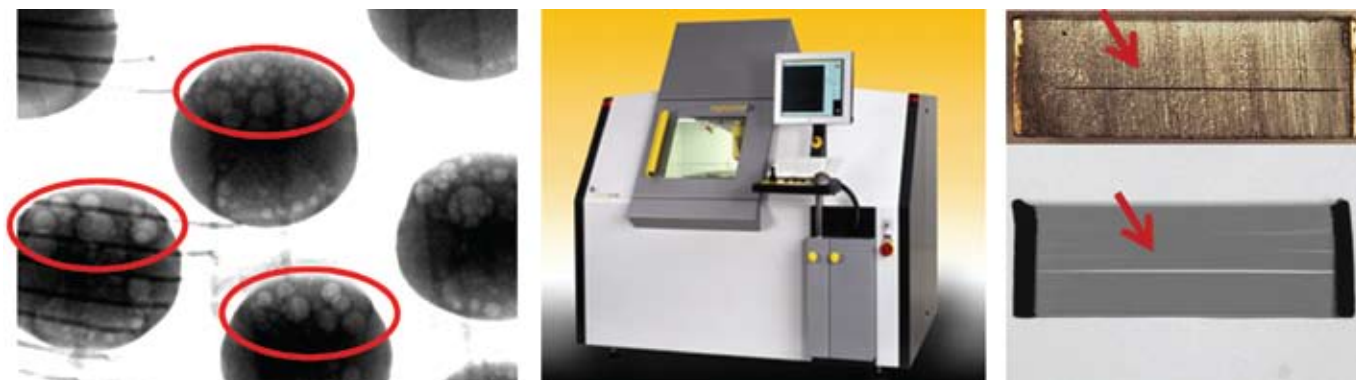


Рис. 2 Диагностика и локализация дефектов, связанных с короблением печатных плат и подложек интегральных микросхем: отрыв шарикового вывода от подложки (слева) и разрушение многослойного керамического конденсатора (справа), может быть проведена с помощью современных систем рентгеновского контроля GE Phoenix microCT | x

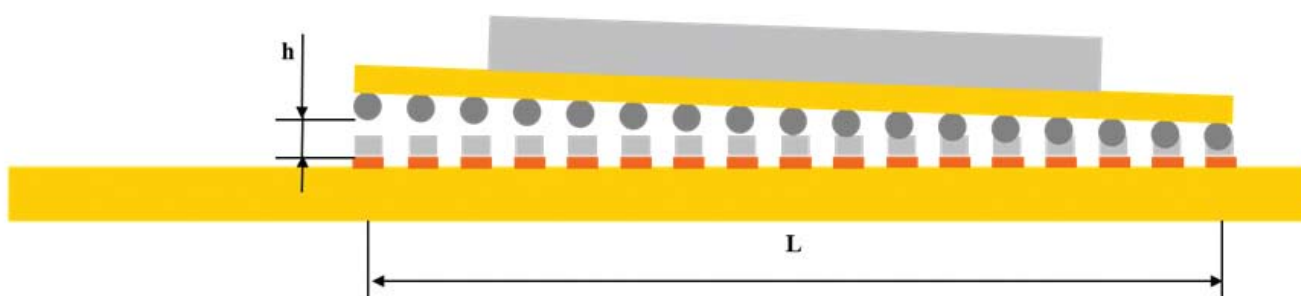


Рис. 3 Нарушение плоскостности шариковых выводов при короблении печатной платы и подложки интегральной микросхемы

ность повреждения в процессе ремонта дорогостоящего электронного компонента и всего печатного узла в целом. Современная идеология построения стратегии контроля требует выявления дефекта максимально близко к месту его потенциального возникновения и принятия корректирующих и предупреждающих действий для исключения (минимизации) его появления в будущем. Для успешного решения указанной задачи её необходимо разделить на несколько частей:

- установить разумные требования к печатным платам, поступающим на производство (при этом не нужно забывать, что чем жёстче требования, тем, как правило, выше цена);
 - организовать типовой технологический процесс сборки, обеспечивающий надёжную работу с печатными платами, в том числе и с установленным максимальным короблением (а лучше с короблением, превышающим максимальный установленный уровень, по крайней мере на 30%, в том числе для плат с двухсторонним монтажом компонентов);
 - предотвратить коробление в процессе производства печатных узлов.
- В соответствии с ГОСТ 23752-79 п.2.3.1 максимальная величина коробления печатных плат, предназначенных для сборки современных печатных узлов с высокой плотностью монтажа, должна составлять не более 0,4% или 0,4 мм на 100 мм (для многослойных печатных плат с толщиной более 1,5 мм). Столь жёсткие требования выполнить под силу далеко не каждому производителю печатных плат и подложек интегральных микросхем. Попробуем разобраться, чем вызваны такие требования. Рассмотрим сборку печатного узла при монтаже интегральной микросхемы в корпусе BGA (μ BGA) с максимально допустимым уровнем коробления печатной платы и подложки (рис. 3). Расчёт зазора между контактной площадкой печатной платы и шариковым выводом интегральной микросхемы для различных корпусов приведён в таблице 1. Образовавшийся зазор может быть скомпенсирован только за счёт столбика паяльной пасты (равной толщине трафарета, который в данном случае будет не более 120 мкм).

Таблица 1 Расчёт максимального отклонения шариковых выводов для различных корпусов при короблении в 0,75% (0,75 мм на 100 мм)

Количество шариковых выводов (при полной матрице)	Шаг выводов, мм	Расстояние в матрице выводов, мм		Допустимое отклонение при короблении платы и подложки (0,75%) h, мкм	Толщина трафарета = высота столбика паяльной пасты, мкм
		L по стороне	$L\sqrt{2}$ по диагонали		
256	0,5	8	10,6	80	120
625	0,5	12	17,0	127	120
1 000	0,5	15	21,7	162	120
1 500	0,5	19	26,7	200	120
10 000	0,5	50	70,0	525	120

На основании данных, приведенных в таблице 1, можно сделать следующий вывод: даже при минимально допустимом короблении печатных плат (0,75%) на размере в 17 мм, соответствующем диа-

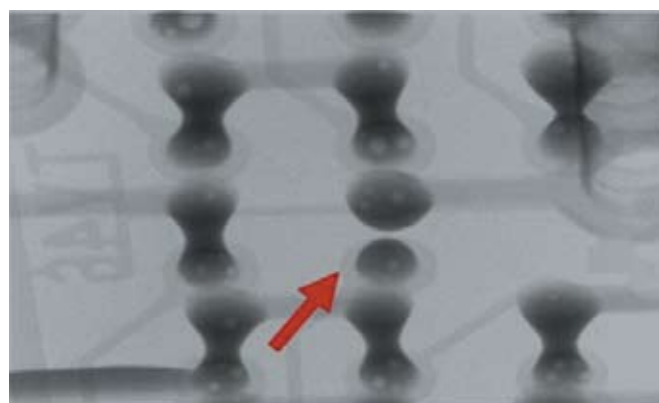


Рис. 4 Механизм образования некачественных паяных соединений при короблении печатных плат и подложек интегральных микросхем



Рис. 5 Отклонение шариковых выводов интегральных микросхем в корпусах BGA (μ BGA) от компланарности (по данным JEDEC Publication 95 Design Guide 4.22)

гонали микросхемы в корпусе BGA с 625 шариковыми выводами с шагом 0,5 мм (при полной матрице выводов), крайний вывод будет висеть в воздухе, не касаясь столбика пасты. При этом возникает достаточно высокая вероятность некачественного паяного соединения (рис. 4).

Расчёты максимального зазора для интегральных микросхем с 625 и 256 шариковыми выводами при различном их шаге (таблицы 2 и 3) показывают, что для всех указанных типов корпусов также высока вероятность образования паяных соединений с отклонениями.

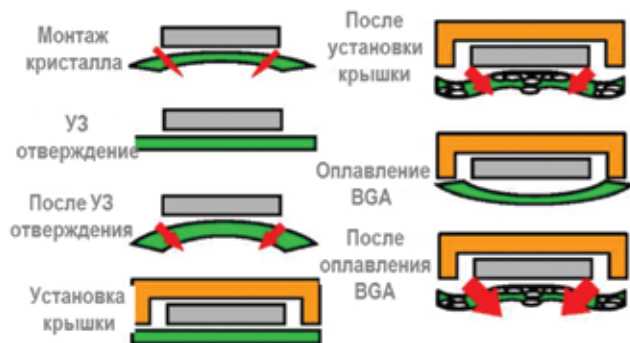
Таблица 2 Расчёт максимального отклонения шариковых выводов для интегральной микросхемы с 625 шариковыми выводами с различным шагом при короблении в 0,75% (0,75 мм на 100 мм)

Количество шариковых выводов (при полной матрице)	Шаг выводов, мм	Расстояние в матрице выводов, мм		Допускаемое отклонение размеров при короблении платы и подложки (0,75%) h, мкм	Толщина трафарета = высота столбика паяльной пасты, мкм
		L по стороне	$L\sqrt{2}$ по диагонали		
625	0,5	12	17,0	127	120
625	0,65	15,6	22,1	165	120
625	0,8	19,2	27,2	204	120

Таблица 3 Расчёт максимального отклонения шариковых выводов для интегральной микросхемы с 256 шариковыми выводами с различным шагом при короблении в 0,75% (0,75 мм на 100 мм)

Количество шариковых выводов (при полной матрице)	Шаг выводов, мм	Расстояние в матрице выводов, мм		Допускаемое отклонение размеров при короблении платы и подложки (0,75%) h, мкм	Толщина трафарета = высота столбика паяльной пасты, мкм
		L по стороне	$L\sqrt{2}$ по диагонали		
256	0,5	7,5	10,6	80	120
256	0,65	15,6	22,1	103	120
256	0,8	19,2	27,2	127	120

Кроме коробления печатной платы и подложки при анализе причин возникновения потенциальных дефектов паяных соединений необходимо учитывать отклонение от компланарности шариковых выводов (рис. 5 и таблица 4).



Коробление подложки до и после оплавления



По данным Altera Corporation

Рис. 6 Коробление подложки Flip Chip BGA в процессе изготовления (по данным Altera Corporation)

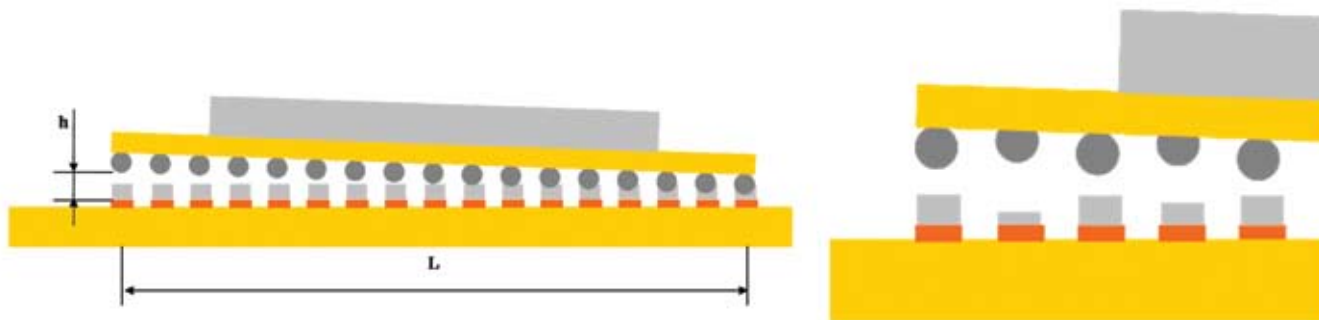


Рис. 7 Вероятность возникновения технологических дефектов паяных соединений возрастает при неравномерном нанесении паяльной пасты

Таблица 4 Максимальное отклонение высоты шариковых выводов от расчётной зависит от размера диаметра выводов (по данным JEDEC Publication 95 Design Guide 4.22)

Диаметр шарикового вывода, мм	Максимально допустимое отклонение по высоте, мм	Примечание
0,55	0,12	Для всех размеров корпусов
0,50	0,12	Для всех размеров корпусов
0,45	0,12	Для всех размеров корпусов
0,4	0,08	Для размеров корпусов менее 10 мм
	0,1	Для размеров корпусов от 10 до 14 мм
	0,12	Для размеров корпусов более 14 мм

Данные таблицы 4 показывают, что разрешённое максимально допустимое отклонение шариковых выводов по высоте соизмеримо с толщиной трафарета и может являться реальной причиной возникновения технологических дефектов.

Анализируя данные таблиц 1-4 можно сделать выводы о том, что риск (вероятность) возникновения технологических дефектов возрастает при следующих условиях:

- увеличение максимального отклонения при короблении печатных плат (и печатных узлов (при монтаже второй стороны));
- увеличение максимального отклонения при короблении подложек интегральных микросхем (рис. 6);
- увеличение максимальных размеров корпуса применяемых интегральных микросхем с шариковыми выводами;
- уменьшение минимального диаметра шариковых выводов применяемых интегральных микросхем.

Кроме того, вероятность возникновения потенциальных технологических дефектов возрастает при неравномерном нанесении паяльной пасты на операции трафаретной печати (рис. 7). Действительно, при увеличении неравномерности нанесения паяльной пасты, связанном, например, с некачественным трафаретом (высокой шероховатостью внутренних поверхностей апертур при малых их размерах), некорректных параметрах процесса (высокого давления на ракель и/или высокой скорости его перемещения) увеличивается максимальный зазор между шариковым выводом и столбиком пасты на плате. Для снижения вероятности возникновения технологических дефектов необходимо предусмотреть эффективные корректирующие и предупреждающие действия.

КОРРЕКТИРУЮЩИЕ И ПРЕДУПРЕЖДАЮЩИЕ ДЕЙСТВИЯ

Для снижения вероятности возникновения технологических дефектов, связанных с короблением необходимо:

- провести квалификацию (повторную квалификацию) поставщиков и производителей печатных плат на предмет используемых ими материалов и соблюдения установленной технологии (этому вопросу будет посвящена отдельная публикация, выход в свет

которой предполагается в следующих номерах журнала “Печатные платы и покрытия”);

- ужесточить условия контрактов на поставку печатных плат и организовать процесс их входного контроля;
- для обеспечения качества ответственных изделий с высокой плотностью монтажа компонентов необходимо собственное производство печатных плат с контролируемым технологическим процессом и используемыми материалами;
- для снижения вероятности возникновения потенциальных дефектов на операции трафаретной печати (при широком использовании в новых изделиях, включённых в план производства интегральных микросхем с большим количеством паяных соединений под корпусами BGA, μ BGA, QFN) ввести контроль качества нанесения паяльной пасты методом автоматической оптической инспекции (рис. 8);
- ввести в технологический процесс операцию контроля качества паяных соединений методом рентгеновской инспекции;
- провести повторную квалификацию процесса оплавления: проверку используемых температурных профилей оплавления, в первую очередь, с точки зрения максимальных реальных скоростей нагрева и охлаждения;
- провести повторную квалификацию поставщиков и производителей электронных компонентов (в первую очередь, интегральных микросхем) с точки зрения максимальных отклонений выводов (рис. 5). Ужесточить условия договоров на поставку электронных компонентов в части максимальных величин указанных отклонений;
- на этапе входного контроля организовать дополнительные инспекционные операции, связанные с измерением максимальных отклонений, получаемых от поставщиков печатных плат и электронных компонентов;
- провести корректировку Стандартов предприятий в части рекомендаций по использованию однотипных корпусов при проектировании печатных узлов. ■■

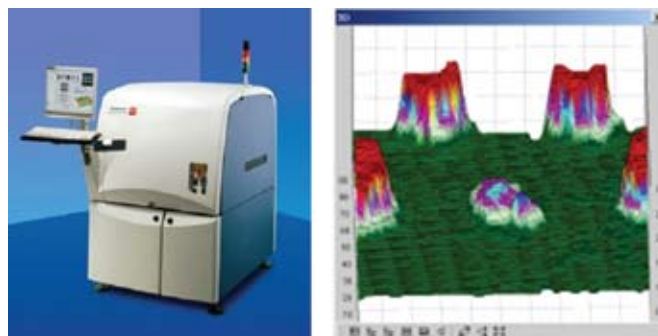


Рис. 8 Система АОИ контроля качества нанесения паяльной пасты обеспечивает надёжный контроль положения, высоты и объёма каждого столбика, предупреждая появление технологических дефектов собранных печатных узлов



НА СТРАЖЕ БЮДЖЕТА И ЭКОЛОГИИ

Артем Иванов

test@ostec-group.ru

«Повышение энергоэффективности - ключевое направление развития российской экономики...энергосбережение должно стать новым стилем поведения»

Д. А. Медведев,
Президент РФ

В соответствии с требованиями ФЗ № 261-ФЗ от 23.11.2009г. «Об энергосбережении и повышении энергетической эффективности» становится обязательной разработка и реализация региональных и муниципальных производственных и инвестиционных программ в области энергосбережения и повышения энергетической эффективности.

На конкурентоспособность современных производств существенное негативное влияние оказывает высокая доля энергетических затрат в издержках производства. На промышленных предприятиях она составляет в среднем 10-14% и имеет устойчивую тенденцию к росту в связи с большим моральным и физическим износом основного оборудования. Более того, только для освещения и приведения в действие различных электроприводов на производстве в России используется до 75% от всей потребляемой электроэнергии. Снижение дефицита финансовых ресурсов достигается за счет обновления производственной базы предприятий в соответствии

с достижениями научно-технического прогресса, в том числе в области энергоэффективности.

В 2010 году признанный лидер в области разработки и производства испытательного оборудования Корпорация IMV, Япония, разработала линейку электродинамических вибростендов с модулем контроля и оптимизации потребления электроэнергии (ISM-EM). Данная линейка получила название «ECO-shaker», что означает экологичный

Снижение дефицита финансовых ресурсов достигается за счет обновления производственной базы предприятий в соответствии с достижениями научно-технического прогресса, в том числе в области энергоэффективности

вибростенд. Следует понимать, что японский производитель, помимо финансовой выгоды в использовании такого энергосберегающего оборудования, видит прямую связь с уменьшением вредных выбросов в атмосферу, образующихся при добыче электроэнергии за счет сжигания нефти, газа, угля. Еще в

2005 году лидеры стран «большой восьмерки» выделили вопросы изменения климата, обеспечения экологически чистой энергетики в группу ключевых глобальных задач. В этом же году в Европе были приняты EcoDesign директивы, которые исследуют возможности экономии, связанные с энергетикой продукции. Подробнее о том,